

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-214092

(43) 公開日 平成9年(1997)8月15日

(51) Int.Cl.<sup>8</sup>

H 0 5 K 1/18

識別記号

庁内整理番号

F I

H 0 5 K 1/18

技術表示箇所

P

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平8-14607

(22) 出願日 平成8年(1996)1月30日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 中込 太一

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

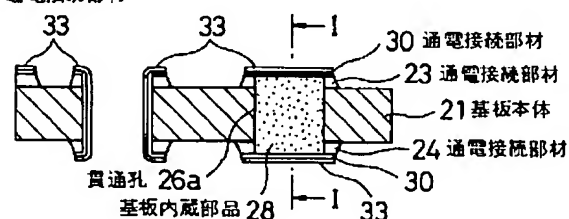
(54) 【発明の名称】 回路基板構造及びその製造方法

(57) 【要約】

【課題】 回路基板構造の小型化を図ることができ、抵抗値やコンデンサ容量の精度を向上させることができ、チップ部品の陰極側と陽極側のショート及びチップ部品の脱落や破損を防止でき、さらに回路基板全体のコストダウンを図ることができる回路基板構造及びその製造方法を提供する。

【解決手段】 回路基板構造が、複数の回路部品が実装されて形成された電気回路を搭載する基板本体21と、前記基板本体21に形成された貫通孔26a内に充填形成されることにより実装され前記電気回路の回路部品の一部を構成する基板内蔵部品28と、前記基板本体21の表面に形成され前記基板内蔵部品28と他の回路部品間を通電可能に接続する通電接続部材23、24、30、33とを備える構成とすることにより、上記課題を解決する。

通電接続部材



## 【特許請求の範囲】

【請求項1】 複数の回路部品が実装されて形成される電気回路を搭載する基板本体と、

前記基板本体に形成された貫通孔内に充填形成されることにより実装され前記電気回路の回路部品の一部を構成する基板内蔵部品と、

前記基板本体の表面に形成され前記基板内蔵部品と他の回路部品間を通電可能に接続する通電接続部材と、を備えたことを特徴とする回路基板構造。

【請求項2】 複数の回路部品が実装されて形成される電気回路を搭載するための基板本体に貫通孔を形成し、前記基板本体に形成された貫通孔内に部品材料を充填して基板内蔵部品を形成し、前記基板本体の表面に前記基板内蔵部品と他の回路部品間を通電可能に接続する通電接続部材を形成すること、ことを特徴とする回路基板構造の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板本体に抵抗、コンデンサ、トランジスタ等の複数の回路部品が実装される電気回路を搭載した回路基板構造及びその製造方法に関するものである。

【0002】

【従来の技術】従来の回路基板構造及びその製造方法としては、例えばスクリーン印刷により、基板本体の上に孔の明いたスクリーンを置き、その上から炭素材をペースト状にしたものを塗布して、スクリーンの孔の明いたところの基板本体の表面に刷り込むことにより形成した印刷抵抗基板がある。また、やはりスクリーン印刷により、酸化チタンとかチタン酸バリウム等のセラミックス材料をペースト状にして塗布して刷り込むことにより形成した印刷コンデンサ基板がある。これらの印刷抵抗基板や印刷コンデンサ基板等を用いることにより、部品代、実装代を含めてのトータルのコストダウンを図ろうとするものがあつた。

【0003】また、電気回路の一部を構成するチップ部品（回路部品）そのものを基板本体に形成した貫通孔内に埋め込むことにより、回路基板構造の高さを低くして所要スペースの低減化を図ろうとするものがあつた。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来例の前者においては、印刷抵抗基板の抵抗値や印刷コンデンサ基板の容量を増大しようとすると印刷面積の増大を招き、これにより電気回路を搭載する基板本体の面積の増大、大型化を招いてしまう。また印刷抵抗基板や印刷コンデンサ基板は、スクリーン印刷という製造により形成されることに起因して、それらの厚さや幅の精度を向上させることができず、このために印刷抵抗基板の抵抗値や印刷コンデンサ基板の容量の精度を向上させることができないという問題があつた。

【0005】次に上記従来例の後者においては、電気回路の一部を構成するチップ部品を基板本体に形成した貫通孔内に埋め込んだ後に、そのチップ部品を接続ランド（通電接続部材）と電気的導通をとるためにハンダや銀ペーストを盛らなければならず、このためにハンダや銀ペーストが周囲の平面よりも高く盛り上がって周囲の平面と同一平面にならないために、基板の有効実装面積を減らして部品を埋め込むこととなつていた。

【0006】また貫通孔の周面とチップ部品の周面との間の隙間にハンダが流れ込んだり、或はチップ部品の陰極側より銀ペーストに含まれていた金属銀が析出成長するマイグレーションを生じることにより、チップ部品の陰極側と陽極側が電気的に導通してショート（短絡）するおそれがあつた。

【0007】また、貫通孔にチップ部品を嵌合して埋め込む方法をとっているため、貫通孔の位置や貫通孔の径の公差に厳しい精度が要求される。例えば貫通孔の径が大き過ぎるとチップ部品が脱落し易くなり、反対に貫通孔の径が小さ過ぎるとチップ部品が貫通孔内に入らず、無理に入れようとするとチップ部品が破損する。

【0008】そしてさらに、このような問題を解決するために様々な措置を講じなければならず、そのために回路基板全体のコストアップを招くという問題がある。

【0009】そこで本発明は、回路基板構造の小型化を図ることができ、抵抗値やコンデンサ容量の精度を向上させることができ、チップ部品の陰極側と陽極側のショート及びチップ部品の脱落や破損を防止でき、さらに回路基板全体のコストダウンを図ることができる回路基板構造及びその製造方法を提供することを課題とするものである。

【0010】

【課題を解決するための手段】上記課題を解決するために、本発明による回路基板構造は、複数の回路部品が実装されて形成される電気回路を搭載する基板本体と、前記基板本体に形成された貫通孔内に充填形成されることにより実装され前記電気回路の回路部品の一部を構成する基板内蔵部品と、前記基板本体の表面に形成され前記基板内蔵部品と他の回路部品間を通電可能に接続する通電接続部材とを備えたことを特徴とするものである。

【0011】また上記課題を解決するために、本発明による回路基板構造の製造方法は、複数の回路部品が実装されて形成される電気回路を搭載するための基板本体に貫通孔を形成し、前記基板本体に形成された貫通孔内に部品材料を充填して基板内蔵部品を形成し、前記基板本体の表面に前記基板内蔵部品と他の回路部品間を通電可能に接続する通電接続部材を形成することを特徴とするものである。

【0012】このような構成の回路基板構造及びその製造方法によれば、複数の回路部品が実装されて形成される電気回路を搭載する基板本体に貫通孔を形成し、前記

基板本体に形成された貫通孔に部品材料を充填して基板内蔵部品を形成するようにしたため、前記従来の印刷抵抗基板や印刷コンデンサ基板のように印刷面積の増大により基板面積の増大、大型化を招くことを防止することができる。

【0013】また上記構成の回路基板構造及びその製造方法によれば、基板本体に形成される貫通孔の径や、貫通孔内に形成される回路部品の最小厚さ寸法等を管理することにより、従来の印刷抵抗基板の抵抗値や印刷コンデンサ基板の容量よりも基板内蔵部品の電気的値の精度

を向上させることができる。

【0014】また上記構成の回路基板構造及びその製造方法によれば、従来のように基板本体に形成された貫通孔に既に出来上がっている回路部品を嵌合して埋め込むのと異なり、前記貫通孔内に部品材料を充填することにより基板内蔵部品を形成するため、前記貫通孔の周面と形成された基板内蔵部品との間には隙間は全く出来得ないので、基板内蔵部品の陰極側と陽極側のショート及びチップ部品の脱落や破損を防止することができると共に、前述した従来のような様々な問題を解決するための措置を講じる必要がないため、回路基板構造のコストアップを防止することができる。

【0015】

【発明の実施の形態】以下、本発明による回路基板構造及びその製造方法の実施の形態について図面に基いて説明する。図1ないし図15は、本発明による回路基板構造及びその製造方法の第1の実施の形態について示す図である。

【0016】図1は、本発明の第1の実施の形態に係る回路基板構造の基本的構造を示す図である。同図において符号21は基板本体を示し、この基板本体21は通常、紙フェノール、紙エポキシ、ガラスエポキシ等の材料により形成される。基板本体21の表裏両面には銅箔23、24が固着されていて、基板本体21と銅箔23、24は全体としていわゆる銅張積層板26として従来からあるものである。

【0017】銅張積層板26には貫通孔26aが形成されており、この貫通孔26a内にはカーボンペースト状にして充填して形成した回路部品としての抵抗体(基板内蔵部品)28が形成されている。また銅張積層板26の銅箔23、24及び抵抗体28の上下両端面の上には無電解銅メッキ30が施されており、さらに無電解銅メッキ30の上には電解銅メッキ33が施されている。

【0018】このような回路基板構造において抵抗体28は、銅箔23、24、無電解銅メッキ30、電解銅メッキ33を介して図示していない他の回路部品と通電(導通)可能に接続されている。従って銅箔23、24、無電解銅メッキ30及び電解銅メッキ33は、抵抗体28と他の回路部品を通電可能に接続する通電接続部材を構成している。

【0019】次に、上記回路基板構造の製造方法の第1の実施の形態について説明する。まず図2に示すように銅張積層板26にドリル加工又はプレス加工により、基板本体21及び銅箔23、24を貫いて貫通孔26aを明ける。次に貫通孔26a内にペースト状のカーボンを詰め込むために、まず図3に示すようなスクリーン板36を用意し、そのスクリーン板36には銅張積層板26の貫通孔26aの位置に合わせて貫通孔26aと同径の孔36aが明いている。

【0020】スクリーン板36の孔36aが銅張積層板26の貫通孔26aに合致するようスクリーン板36を銅張積層板26の上に載せて、印刷機(図示せず)に取付ける。図4に示すように、スキージ(へら状の道具)38によりカーボンペースト40を、スクリーン板36の孔36aから銅張積層板26の貫通孔26a内に押し込むことにより、カーボンペースト40を貫通孔26a内に充填させる。

【0021】このような作業において、反対側(貫通孔26aの図中下側)から吸引したり、又は図5に示すようにピン42を用いて貫通孔26a内にカーボンペースト40を押し込むことにより充填を行ってもよい。或は図4に示すように片面側からだけ押し込むのではなく、銅張積層板26を交互に裏返して両面側から交互に押し込むことを繰り返すことにより、またその過程においてカーボンペースト40の量を調整したりして、図6に示すようにカーボンペースト40の上下両端面を、銅箔23、24の表面と揃えて平らに上げることができる。さらに別の方法として、半固形(半乾燥状態)のカーボンペーストを予め図6におけるカーボンペースト40のように形を整えてから、貫通孔26a内に嵌合させて埋め込むようにしてもよい。

【0022】図6の状態においてカーボンペースト40を適度に乾燥させることにより、カーボンペースト40は回路部品としての抵抗体(基板内蔵部品)28となる。次に図7に示すように銅張積層板26の他の位置に、基板の表裏両面間の導通用の、通常の銅メッキスルーホールとして用いる貫通孔26bを銅張積層板26に明ける。この後、メッキを施して両面メッキスルーホール基板を形成する。以下にその手順について説明する。

【0023】まず図8に示すように、抵抗体28を内蔵する銅張積層板26の周囲全体に無電解銅メッキ30を施す。このように無電解銅メッキ30を施すことにより、貫通孔26b内の導通のない基板本体21の円周面にも銅メッキを施すことが可能となる。その次に図9に示すように、無電解銅メッキ30の上に無電解銅メッキ30より厚い層の電解銅メッキ33を施す。無電解銅メッキ30は導通があるために電解銅メッキ33を施すことが可能となり、無電解銅メッキ30よりも速い速度で厚い層の電解銅メッキ33を形成することができる。

【0024】ところで上記無電解銅メッキは、化学メッ

キの一種でパラジウム金属をメッキする場所の表面に吸着させ、そのパラジウムを触媒として還元することにより、メッキする場所の表面に銅原子を析出させるメッキ法のことである。また上記電解銅メッキは、硫酸銅水溶液等に含まれている銅イオンを電流（電子）により還元し、メッキする場所の表面に銅を析出させるメッキ法のことである。

【0025】次に、銅張積層板26の表裏両面側の電解銅メッキ33の上に、フォトレジスト用のフィルム又はレジストインキを付着させ、回路パターンとして残したい所のみに光を当てて硬化させる。その後Na<sub>2</sub>CO<sub>3</sub>等の薬品によりレジストの未硬化部分を剥離させる現象\*

抵抗値R = ペーストの抵抗率ρ × (抵抗の長さL ÷ 抵抗の断面積S)

... (1)

静電容量C = ペーストの誘電率ε × (コンデンサの電極の面積S ÷ コンデンサの電極間の距離d)

... (2)

但し上記式(2)においては、dに対しSが十分大きい場合に成立する。

【0028】次に上記式(1)、(2)に基づいて、実現可能と思われる抵抗値やコンデンサの容量について求めてみる。例えば銅張積層板26の厚さ（上記抵抗の長さL及びコンデンサの電極間の距離dに相当）が0.1※

抵抗値R = {1 × 10<sup>-7</sup> × 0.1 × 10<sup>-7</sup>} ÷ {3.14 × (0.15 × 10<sup>-7</sup>)} = 1.4 × 10<sup>-7</sup> [Ω]

... (1)

静電容量C = 80 × {3.14 × (0.15 × 10<sup>-7</sup>)} ÷ (0.1 × 10<sup>-7</sup>) = 0.057 [F]

... (2)

【0030】次に、上記のようにして製造された基本的な回路基板構造を用いて多層基板を作る場合について説明する。まず図13(a)に示すように、回路基板構造A、B、Cの各々の隣合う間に、接着剤となるプリアレグD、Eの各々を配置する。プリアレグD、Eは基本的に基板本体21の材質と同じで、常温において半生（半固体）状態の素材である。

【0031】そして、各回路基板構造A、B、C間の水平方向の位置合わせを行った後、プレスにて加圧すると共に加熱することにより、プリアレグD、Eが各々の表裏両側の回路基板構造の形状やパターンに追従して変形しながら表裏両側の回路基板構造に接着する。

【0032】その後プリアレグD、Eは冷却すると固まり、全体として図13(b)に示すような、実装密度や配線密度の高い多層基板が出来上がる。その後、外形加工、表面処理、シンボル印刷、他の回路部品の実装等を行うことにより、図14に示すような製品としての多層基板が完成する。

【0033】図15は、本発明による回路基板構造及びその製造方法の第2の実施の形態について示す図である。前記第1の実施の形態においては図6に示すよう

\*工程を行う。この結果回路パターンとして残したい所のみにエッチングレジスト46が残る（図10参照）。

【0026】それからCuC12等の薬品により、エッチングレジスト46が残っていない所の銅23、24、30、33をエッチング処理により除去する（図11参照）。次にKOH等の薬品により、残っているエッチングレジスト46を溶かして剥離する（図12参照）。このようにして出来上がったのが前記図1にも示した基板構造である。

【0027】ここで、実現可能と思われる抵抗値やコンデンサの容量を求めるための式を、次式(1)、(2)に示す。

※[mm]、貫通孔26aの径が0.3[mmφ]、炭素（グラファイトの場合）の抵抗率ρが1 × 10<sup>-7</sup> ~ 1 × 10<sup>-6</sup> [Ω・m]、セラミックス（酸化チタンの場合）の誘電率εが80 ~ 100 [F/m]の場合は、次のようにして求められる。

【0029】

★に、カーボンペースト40の上下両端面は銅箔23、24の表面と同一平面となるように平らに形成されていたのに対し、この第2の実施の形態においては、図15(a)に示すように貫通孔26a内のカーボンペースト40は、中央部がくびれたような断面形状に形成してからカーボンペースト40を乾燥させ、それから図15(b)に示すように銅ペースト44を充填して上下両端面が銅箔23、24の表面と同一平面となるように平らにしたものが抵抗体29を形成する。このようにして作られた抵抗体29は、抵抗の長さLがくびれ間の最短距離となり、抵抗の長さLを図6に示す場合よりも小さくすることにより、抵抗体29の抵抗値Rが小さくなる方向に調整することができる。

【0034】またカーボンペースト40の代わりにセラミックスペーストを用い、図15(a)におけるカーボンペースト40のようにセラミックスペーストを形成して乾燥させた後に、図15(b)に示すように銅ペースト44を同様に充填することにより、抵抗体29の代わりにコンデンサを作ることができる。そしてこの場合のコンデンサの容量は、図6のカーボンペースト40の代わりにセラミックスペーストを充填した場合よりも、コ

ンデンサの電極間の距離 $d$ としてのくびれ間の最短距離を小さくすることにより、コンデンサの容量が大きくなる方向に調節することができる。

【0035】なお、上記第1の実施の形態においては基板内蔵部品が抵抗体28の場合について説明したが、一部上述したように、カーボンペースト40の代わりにセラミックペーストを用いることにより基板内蔵部品をコンデンサにすることもできる。その他本発明は、他の原料ペーストを選ぶことにより他の基板内蔵部品に適用することもできる。

【0036】また上記実施の形態においては、抵抗体28の上下両端部にメッキにより蓋をして電極としたが、メッキの代わりに銅箔、銅板等の金属片を用いて電極としてもよい。

【0037】また上記実施の形態においては、実現可能と思われるコンデンサの静電容量 $C$ を求める計算において、セラミックスとして酸化チタン系の材料を用いた場合について説明したが、セラミックスとしてチタン酸バリウム系の材料を用いてもよく、その場合は、誘電率として $1 \times 10 \sim 2 \times 10$  [F/m]を用いることにより前記式(2)から静電容量 $C$ を求めることができる。

【0038】また、上記第1の実施の形態においてはパターン形成法として、メッキ後に単にエッチングにより削り取るだけのサブトラクティブ法を用いたが、メッキ時にメッキレジストを用いることにより細密なパターンを形成できるアディティブ法や、セミアディティブ法等、その他のパターン形成法を用いてもよい。

【0039】さらに、図13及び図14においては3枚の回路基板構造を用いて多層基板を形成する場合について説明したが、多層基板を形成するのに用いる回路基板構造の数は1、2枚でも4枚以上でもよいことは勿論である。

【0040】

【発明の効果】以上説明したように本発明によれば、複数の回路部品が実装されて形成される電気回路を搭載する基板本体に貫通孔を形成し、前記基板本体に形成された貫通孔に部品材料を充填して基板内蔵部品を形成するようにしたため、前記従来の印刷抵抗基板や印刷コンデンサ基板のように印刷面積の増大により基板面積の増大、大型化を招くことを防止することができる。

【0041】また上記構成の回路基板構造及びその製造方法によれば、基板本体に形成される貫通孔の径や、貫通孔内に形成される回路部品の最小厚さ寸法等を管理することにより、従来の印刷抵抗基板の抵抗値や印刷コンデンサ基板の容量よりも基板内蔵部品の電気的値の精度を向上させることができる。

【0042】また上記構成の回路基板構造及びその製造方法によれば、従来のように基板本体に形成された貫通孔に既に出来上がっている回路部品を嵌合して埋め込むのと異なり、前記貫通孔内に部品材料を充填することに

より基板内蔵部品を形成するため、前記貫通孔の周面と形成された基板内蔵部品との間には隙間は全く出来得ないので、基板内蔵部品の陰極側と陽極側のショート及びチップ部品の脱落や破損を防止することができると共に、前述した従来のような様々な問題を解決するための措置を講じる必要がないため、回路基板構造のコストアップを防止することができる。

【0043】また上記構成の回路基板構造及びその製造方法によれば、基板中に三次元的に回路部品を形成することにより実装密度を向上させることができる。また、抵抗、コンデンサ等の回路部品を内蔵しているにも拘らず基板の表面をフラットにすることができる。また、内蔵した回路部品の電極を他の回路部品の実装ランドとして使用できるため、やはり実装密度を向上させることができる。

【0044】また上記実施の形態によれば、メッキにより基板内蔵部品が基板と結合されていることにより、半田付けよりも信頼性を高くすることができる。また部品代、実装代を含めて総合的に考えれば、結果的に安く目的の機能を果たす回路基板構造を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る回路基板構造の基本的なものを示す図12におけるI-I線断面図である。

【図2】本発明の第1の実施の形態に係る回路基板構造の製造方法の一工程を示す断面図である。

【図3】回路基板構造の製造方法の一工程に用いる孔36aを有するスクリーン板36の模式図である。

【図4】回路基板構造の製造方法の一工程を示す断面図である。

【図5】回路基板構造の製造方法の一工程を示す断面図である。

【図6】回路基板構造の製造方法の一工程を示す断面図である。

【図7】回路基板構造の製造方法の一工程を示す断面図である。

【図8】回路基板構造の製造方法の一工程を示す断面図である。

【図9】回路基板構造の製造方法の一工程を示す断面図である。

【図10】回路基板構造の製造方法の一工程を示す断面図である。

【図11】回路基板構造の製造方法の一工程を示す断面図である。

【図12】図1に示す回路基板構造におけるX I I-X I I線断面図である。

【図13】3枚の基本的な回路基板構造A、B、Cを用いてIVH式多層基板を製造する方法について示す図であり、図13(a)は多層基板を製造する前の回路基板

構造A, B, C及びアリアレグD, Eの配置状態を示す断面図、図13(b)は多層基板を製造した後の状態を示す回路基板構造A, B, C及びアリアレグD, Eの断面図である。

【図14】完成したIVH式多層基板を示すその一部破断斜視図である

【図15】本発明の第2の実施の形態に係る回路基板構造の製造方法を示す図であり、図15(a)は回路基板構造の製造方法の一工程を示す断面図、図15(b)は同じく回路基板構造の製造方法の一工程を示す断面図で

【符号の説明】

21 基板本体

23, 24 銅箔

26 銅張積層板

26a 貫通孔

28, 29 抵抗体

30 無電解銅メッキ

33 電解銅メッキ

36 スクリーン板

36a 孔

38 スキージ

40 カーボンペースト

42 ピン

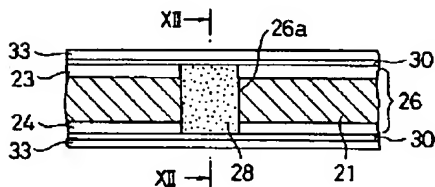
44 銅ペースト

46 エッチングレジスト

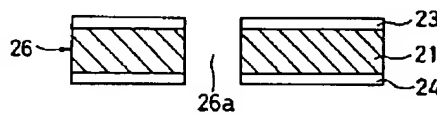
A, B, C 回路基板構造

D, E アリアレグ

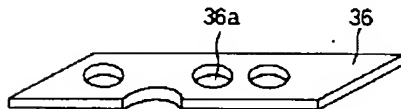
【図1】



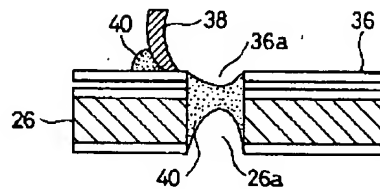
【図2】



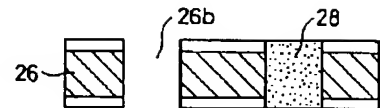
【図3】



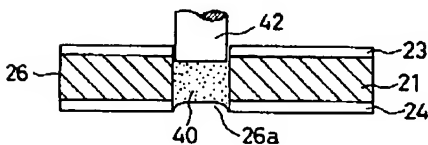
【図4】



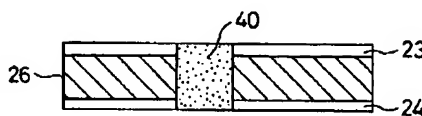
【図7】



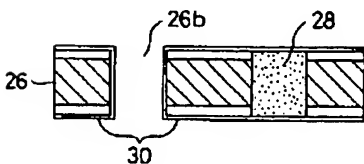
【図5】



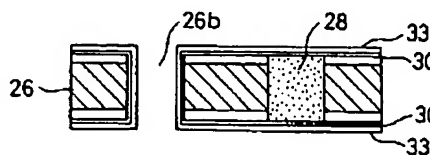
【図6】



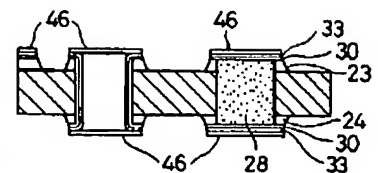
【図8】



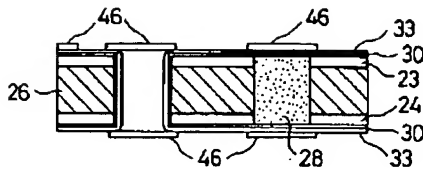
【図9】



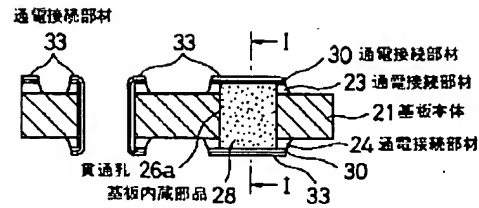
【図11】



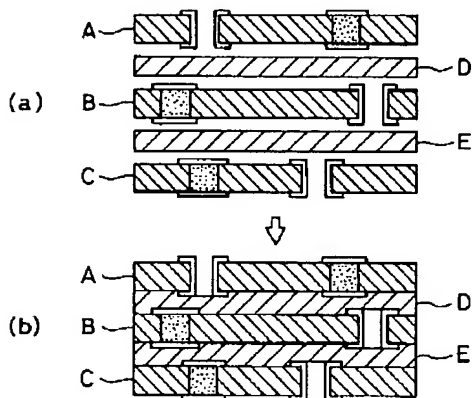
【図10】



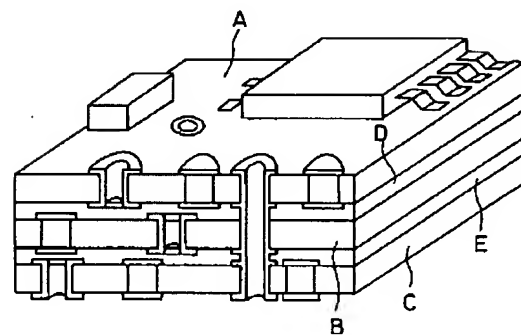
【図12】



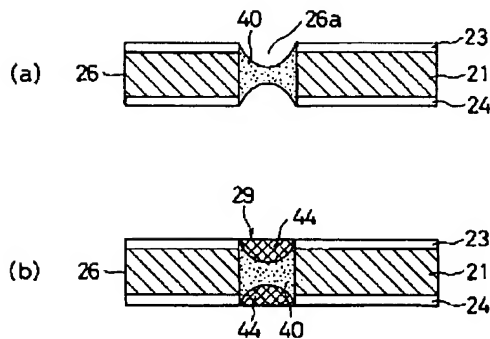
【図13】



【図14】



【図15】



## 【手続補正書】

【提出日】平成8年5月31日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】本発明は、基板本体に抵抗、コンデンサ等の複数の回路部品が実装される電気回路を搭載した回路基板構造及びその製造方法に関するものである。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】次に、上記回路基板構造の製造方法の第1の実施の形態について説明する。まず図2に示すように銅張積層板26にドリル加工又はプレス加工により、基板本体21及び銅箔23、24を貫いて貫通孔26aを明ける。次に貫通孔26a内にペースト状のカーボンを含め込むために、まず図3に示すようなスクリーン板3

6を用意する。そのスクリーン板36には銅張積層板26の貫通孔26aの位置に合わせて貫通孔26aと同径の孔36aが明いている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】次に、銅張積層板26の表裏両面側の電解銅メッキ33の上に、フォトレジスト用のフィルム又はレジストインキを付着させ、回路パターンとして残したい所のみに光を当てて硬化させる。その後 $\text{Na}_2\text{CO}_3$ 等の薬品によりレジストの未硬化部分を剥離させる現像工程を行う。この結果回路パターンとして残したい所のみにエッチングレジスト46が残る(図10参照)。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】それから $\text{CuCl}_2$ 等の薬品により、エッチングレジスト46が残ってない所の銅23、24、30、33をエッチング処理により除去する(図11参照)。次に $\text{KOH}$ 等の薬品により、残っているエッチ

$$\text{抵抗値} R = \{1 \times 10^{-7} \times 0.1 \times 10^{-3}\} \div \{3.14 \times (0.15 \times 10^{-3})^2\} = 1.4 \times 10^{-4} [\Omega]$$

... (1)

$$\text{静電容量} C = 80 \times \{3.14 \times (0.15 \times 10^{-3})^2\} \div (0.1 \times 10^{-3}) = 0.057 [F]$$

... (2)

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】また上記実施の形態においては、実現可能と思われるコンデンサの静電容量Cを求める計算において、セラミックスとして酸化チタン系の材料を用いた場合について説明したが、セラミックスとしてチタン酸バリウム系の材料を用いてもよく、その場合は、誘電率として $1 \times 10^3 \sim 2 \times 10^4 [F/m]$ となることにより前記式(2)から静電容量Cを求めることができる。

【手続補正8】

グレジスト46を溶かして剥離する(図12参照)。このようにして出来上がったのが前記図1にも示した基板構造である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】次に上記式(1)、(2)に基づいて、実現可能と思われる抵抗値やコンデンサの容量について求めてみる。例えば銅張積層板26の厚さ(上記抵抗の長さL及びコンデンサの電極間の距離dに相当)が0.1[mm]、貫通孔26aの径が0.3[mmφ]、炭素(グラファイトの場合)の抵抗率ρが $1 \times 10^{-7} \sim 1 \times 10^5 [\Omega \cdot m]$ 、セラミックス(酸化チタンの場合)の誘電率εが80~100[F/m]の場合は、次のようにして求められる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】また上記構成の回路基板構造及びその製造方法によれば、基板中に三次元的に回路部品を形成することにより実装密度を向上させることができる。また、抵抗、コンデンサ等の回路部品を内蔵しているにも拘らず基板の表面をフラットにすることができる。このため、内蔵した回路部品の電極を他の回路部品の実装ランドとして使用できるので、やはり実装密度を向上させることができる。